

Generate Collection

L3: Entry 1 of 115

File: JPAB

Jul 13, 1993

PUB-NO: JP405175424A

DOCUMENT-IDENTIFIER: JP 05175424 A

TITLE: SEMICONDUCTOR MEMORY DEVICE AND MANUFACTURE THEREOF

PUBN-DATE: July 13, 1993

INVENTOR-INFORMATION:

NAME

COUNTRY

KATO, TERUO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

OKI ELECTRIC IND CO LTD

APPL-NO: JP03355619

APPL-DATE: December 24, 1991

US-CL-CURRENT: 257/302; 257/303

INT-CL (IPC): H01L 27/04; H01L 27/108; H01L 29/784

ABSTRACT:

PURPOSE: To make it possible to achieve high packaging density of elements by forming the gate electrode of a MOS-type field-effect transistor by the self-aligning mode in a trench-shaped groove.

CONSTITUTION: The memory units of a MOS-type field-effect transistor are separated and insulated with a separating and insulating film 18 in the direction of a word line (direction in parallel with a trench-shaped groove). Therefore, in this vertical memory unit, the period in the direction of the word line becomes 2L (active L + separating region L) when a design rule is L. In the direction of a bit line, a gate electrode 24 is formed in a self-aligning mode in the trench. Therefore, the period becomes twice = 2L of the period of the trench. After all, the area of the memory unit becomes $2L \times 2L = 4L^2$, and mask aligning margin is not required. Thus, the high packaging density of the elements can be achieved.

COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-175424

(43)公開日 平成5年(1993)7月13日

(51)Int.Cl.⁵

H 01 L 27/04
27/108
29/784

識別記号

府内整理番号
C 8427-4M

F I

技術表示箇所

8728-4M
9168-4M

H 01 L 27/10
29/78

3 2 5 D
3 2 1 V

審査請求 未請求 請求項の数3(全6頁)

(21)出願番号

特願平3-355619

(22)出願日

平成3年(1991)12月24日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 加藤 錠男

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(74)代理人 弁理士 菊池 弘

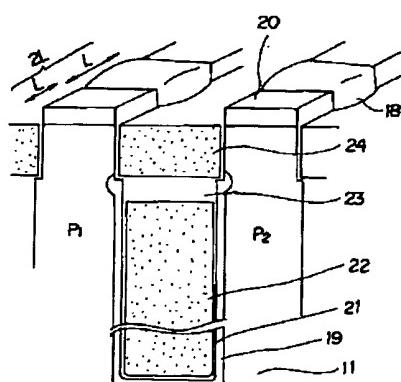
(54)【発明の名称】 半導体記憶装置およびその製造方法

(57)【要約】 (修正有)

【目的】 チャネル領域形成におけるマスク合わせ余裕等を考慮せずに、工程の簡略化と、素子の集積化が向上する半導体記憶装置及びその製造方法を提供する。

【構成】 P型シリコン基板11にトレンチ状溝を形成し、この溝の内表面にキャバシタ拡散層19を形成し、その内表面にキャバシタ絶縁膜21を介してプレート電極22を形成して、電荷蓄積部を形成する。一方、トレンチ状溝の上部には、第1のシリコン酸化膜13を介してゲート電極24を溝内で自己整合的に形成し、各トレンチ状溝間に挟まれた凸部上にドレイン拡散層20を形成し、これらのゲート電極24とキャバシタ拡散層19とドレイン拡散層20により、ドレイン拡散層20とゲート電極24とを共用した縦型のMOS型電界効果トランジスタを構成し、ゲート電極24を選択ワード線とし、ドレイン拡散層20上に配線電極26を形成し、これをビット電極とすることにより、1キャバシタ、1トランジスタ型のメモリユニットとした。

本発明の半導体記憶装置の斜視図



- 11: P型シリコン基板
12: 分離絶縁膜
13: キャバシタ絶縁膜
20: ドレイン拡散層
21: キャバシタ拡散層
22: プレート電極
23: オ!層間絶縁膜
24: ゲート電極

1

【特許請求の範囲】

【請求項1】 第1の導電型を有し、複数のトレンチ状溝によって挟まれた複数の凸部が形成されて互いに電気的に分離された半導体基板表面を有し、上記凸部上面の少なくとも一部と側面の少なくとも一部に形成された第2の導電型を有する半導体領域とともに上記(又はこれら)半導体領域に挟まれた上記凸部の側面に形成された絶縁膜を有し、かつ上記トレンチ状溝部の内部の対面する側面に上記絶縁膜を介してともに接するようにトレンチ状溝内に埋設されたゲート電極を埋設することにより構成されたMOS型電界効果トランジスタと、上記第2の導電型の半導体領域より下部のトレンチ状溝部に形成され、いずれかの導電性の電極が上記第2の導電型の半導体領域に接続された電荷蓄積部と、を備えてなる半導体記憶装置。

【請求項2】 上記電荷蓄積部が、上記トレンチ状溝部の内部に延在して上記MOS型電界効果トランジスタの要素となる凸部側面に形成された第2の導電型の半導体領域と、

この第2の導電型半導体領域と絶縁膜を介して上記トレンチ状溝部の内部に形成された導電性電極と、から構成されることを特徴とする請求項1に記載の半導体記憶装置。

【請求項3】 第1の導電型半導体基板の表面にトレンチ状溝部を形成し、このトレンチ状溝部の内部の側面に耐拡散性を有する絶縁膜を形成して上記トレンチ状溝部に自己整合的に溝部を形成し、その表面に選択的に素子分離領域を形成する工程と、上記絶縁膜より下部のトレンチ状溝部内部に電荷蓄積領域を形成し、この電荷蓄積領域のいずれか一方の電極を上記絶縁膜下部に接する半導体基板の表面に形成された第2の導電体型の半導体領域に接続する工程と、上記絶縁膜が除去されたトレンチ状溝部の内部の対面する側面にこの絶縁膜を介してともに接するようにゲート電極を上記トレンチ状溝内に埋設して形成する工程と、複数のトレンチ状溝部間に挟まれた凸部の上面に形成された第2の導電型の半導体領域が互いに接続されるように配線電極を形成する工程と、

とよりなる半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、1個のコンデンサと1個のMOS型電界効果トランジスタより構成された半導体記憶装置およびその製造方法に関するものである。

【0002】

【従来の技術】半導体メモリの集積化が進むにつれて、従来平面的に構成されていたDRAM(Dynamic Random Access Memory)セルがいわゆるスタックセル、トレンチに代表されるような立体的に構成されるセル構造が提案されている。

2

【0003】このトレンチ型メモリセルの例を図5、図6に示す。これらの図5、図6はIEDM'85 Tech. Dig. PP714~714に示されているものである。図5はトレンチ型メモリセルの平面図であり、図6は断面図である。この図5、図6の両図において、高濃度P型シリコン基板51の上にP型エピタキシャル層52が形成されており、この高濃度P型シリコン基板51に形成したトレンチ53の内側には、電荷蓄積用キャパシタ絶縁膜54が形成されており、それに対向する形で、高濃度N型多結晶シリコン電極55が形成されている。

【0004】この高濃度N型多結晶シリコン電極55の上部は直接P型エピタキシャル層52に接続されており、ソース拡散層56となっている。P型エピタキシャル層52の上部には、分離絶縁膜59で分離されたドレイン拡散層があり、ビット線58aとしての機能も併せもっている。

【0005】高濃度P型シリコン基板51の上方には、トレンチ内部を覆うようにして、上述の多結晶シリコン電極55が形成されており、トレンチ53の内部に形成されたMOSFETのゲート電極として、さらに、セルを選択するワード線60として機能している。上方には、中間絶縁膜、配線電極などが形成されている。以上のようにして、トレンチ型メモリセルが構成されている。なお、57はチャネル領域である。

【0006】

【発明が解決しようとする課題】しかしながら、上述した従来のトレンチ型メモリセルにおいては、高度の集積化が困難であるという問題があった、すなわち、図5の平面図に示すように、このトレンチ型メモリセルでは、ビット線58aをセル間で分離するために、分離絶縁膜59を形成する必要があるデザインルール(最小加工寸法)をしとすると、X方向(図5参照)は分離絶縁膜59とトレンチ53との合わせ余裕D1が必要なため、(2L+2D1)となる。

【0007】また、Y方向の周期はトレンチ53とワード線60との合わせ余裕D2が必要なため、(2L+2D2)となる。合わせ余裕D1、D2はともに加工上の合わせ余裕のために必要な寸法であり、この分だけ、素子の集積化を妨げていることになるとともに、ゲート電極やコンタクトホールとなる部分が自己整合的に形成されていないために、製造工程の簡略化を阻害している。

【0008】請求項1に記載の発明は前記従来技術がもっている問題点のうち、合わせ余裕が必要なために素子の集積化を妨げるという問題点について解決した半導体装置を提供することである。

【0009】請求項2に記載の発明は前記従来技術がもっている問題点のうち、マスク合わせ余裕を必要とする点について解決した半導体記憶装置を提供するものである。

50 【0010】さらに、請求項3に記載の発明は前記従来

技術がもっている問題点のうち、合わせ余裕が必要なため、素子の集積化を妨げているという問題点と、製造工程の簡略化を阻害しているという点について解決した半導体装置の製造方法を提供するものである。

【0011】

【課題を解決するための手段】請求項1に記載の発明は前記問題点を解決するために、半導体装置において、トレンチ状溝部に形成された半導体領域の側面にそれぞれが分離されたキャバシタとトレンチ状溝部内にゲート電極を自己整合的に形成したMOS型電界効果トランジスタによるメモリセルを設けたものである。

【0012】請求項2に記載の発明の半導体装置においては、トレンチ状溝部に延在してMOS型電界効果トランジスタの要素となるトレンチ状溝間の凸部の側面の半導体領域と絶縁膜を介してトレンチ状溝内部に形成された導電性の電極によりキャバシタを形成したものである。

【0013】請求項3に記載の発明は半導体記憶装置の製造方法において、第1のトレンチ状溝部の内部の側面に耐拡散性を有する第1の絶縁膜を形成した後に、第1のトレンチ状溝部に自己整合的に第2のトレンチ状溝部を形成し、かつその表面に選択的に素子分離領域を形成する工程と、第2のトレンチ状溝部の内部にキャバシタ領域を形成しこのキャバシタ領域のいずれか一方の電極を第1の絶縁膜の下部に接する半導体基板表面に形成した半導体領域に接する工程と、第1の絶縁膜の除去後第1のトレンチ状溝部の側面と絶縁膜を介してともに接するようにゲート電極を埋設して形成する工程とを導入したものである。

【0014】

【作用】請求項1の発明においては、トレンチ状溝部内部にキャバシタが形成され、トレンチ状溝部の側面のゲート絶縁膜が形成され、キャバシタとMOS型電界効果トランジスタにより縦型のメモリセルとなり、かつトレンチ状溝部の側部がチャネル領域となり、チャネル領域におけるマスク合わせ余裕の考慮を不要とする。

【0015】請求項2に記載の発明においては、トレンチ状溝部のキャバシタを形成する半導体領域がMOS型電界効果トランジスタの要素となる凸部側面の半導体領域と共に用いているから、トランスマ・トランジスタとして動作する。

【0016】請求項3に記載の発明においては、第1のトレンチ状溝部に第2のトレンチ状溝部を自己整合的に形成し、その表面に選択的に素子分離領域を形成し、第2のトレンチ状溝部にキャバシタを形成し、このキャバシタの一方の電極を第1のトレンチ状溝部に形成した半導体領域に接続することにより、キャバシタの一方の電極とMOS型電界効果トランジスタの半導体領域と共に用い、キャバシタとMOS型電界効果トランジスタにより縦型メモリセルを形成し、素子の集積化を可能と

し、かつ、ゲート電極とコンタクトホール部を自己整合的に形成してパターン形成を不要とする。

【0017】

【実施例】以下、この発明の半導体装置の実施例について図面に基づき説明する。図1はその一実施例の斜視図であり、図2はその断面図である。この図1、図2の両図において、P型シリコン基板11の表面にトレンチ状溝が形成されており、このトレンチ状溝の下部には、内表面にキャバシタ拡散層19が形成されている。このキャバシタ拡散層19とキャバシタ絶縁膜21を介してプレート電極22が形成されており、かくしてプレート電極22、キャバシタ拡散層19、キャバシタ絶縁膜21とともに電荷蓄積部としての電荷蓄積キャバシタを形成している。

【0018】トレンチ状溝の上部には、ゲート絶縁膜である第1のシリコン酸化膜13を介してゲート電極24が形成されており、キャバシタ拡散層19の上端とドレイン拡散層20により、MOSFETを形成しており、トランスマートランジスタとして動作する。

【0019】また、選択ワード線としてのゲート電極24とドレイン拡散層20上に形成されたビット線となる配線電極26により、1キャバシタ、1トランジスタ型のメモリユニットを形成することになる。

【0020】この場合、MOSFET Tr1はアクティブ領域P1、P2をチャネル領域とし、MOSFET Tr2はアクティブ領域P2、P3をチャネル領域としている。このように、MOSFET Tr1、Tr2はドレイン拡散層20およびゲート電極24を共用した縦型トランジスタとなっている。

【0021】各メモリユニットはワード線方向には(トレンチ状溝に平行な方向)、分離絶縁膜18により分離、絶縁されている。したがって、このような縦型メモリユニットでは、デザインルールをしとした場合、ワード線方向の周期は(アクティブL+分離領域L)の2Lとなる。ビット線方向はゲート電極24がトレンチに自己整合的に形成されているため、トレンチの周期の2倍=2Lとなる。結局、メモリユニットの面積は2L×2L=4L²となる。従来に比べ、マスクの合わせ余裕D1、D2が不要となり、したがって、素子の高集積化が可能となる。

【0022】次に、上記構成の半導体記憶装置の製造方法の一実施例について述べる。図3(a)～図3(c)はその第1段の工程断面図であり、図4(a)～図4(c)はその第2段の工程断面図である。これらの図3(a)～図3(c)、図4(a)～図4(c)において、図1、図2と同一部分には同一符号を付して述べる。

【0023】まず、図3(a)に示すように、P型シリコン基板11の表面部にビット線方向(図2で示した配線電極26方向)にのび、例えば幅1μm、深さ0.6μ

mの第1のトレンチ状溝12を形成する。

【0024】次に、第1のトレンチ状溝12を含む基板全面に200Å厚の第1のシリコン酸化膜13および1000Å厚の第1のシリコン窒化膜14を順次形成した後、方向性エッティングにより、この第1のシリコン窒化膜14をエッティングして、第1のトレンチ状溝12の側面にのみ残す。

【0025】次に、図3(b)に示すように、第1のシリコン酸化膜13、第1のシリコン窒化膜14をマスクにして、第1のトレンチ状溝12の側部をエッティングして、第2のトレンチ状溝15をさらに3μm程度形成する。この第2のトレンチ状溝15を含むシリコン基板11の表面に、さらに第2のシリコン酸化膜16、第2のシリコン窒化膜17をそれぞれ500Å、1000Å順次形成する。

【0026】その後、フォトリソグラフィ法により、図1(c)に示すように、素子分離領域以外の第2のシリコン窒化膜17、第2のシリコン酸化膜16、第1のシリコン窒化膜14、第1のシリコン酸化膜13を順次選択的にエッティングする。そして、950°Cのウエット酸素雰囲気中で60分熱酸化し、4000Å厚さの分離絶縁膜(フィールド酸化膜)18を形成する。

【0027】この場合、必要があれば、分離絶縁膜18の形成前にリン(P)を40keV、 $3 \times 10^{13} \text{ cm}^{-2}$ 程度斜めイオン注入し、チャネルストップ層を形成してもよい。分離絶縁膜18の形成後、第2のシリコン窒化膜17、第2のシリコン酸化膜16を順次エッティングにより除去する。

【0028】次いで、図4(a)～図4(c)に示す第2段の工程段階に入り、まず、図4(a)に示すように、シリコン基板11の全面にヒ素(As)を加速エネルギー60keV、ドーズ量 $1 \times 10^{16} \text{ cm}^{-2}$ で斜めイオン注入する。このとき、第1のシリコン窒化膜14がマスクとして作用するので、第2のトレンチ状溝15の下部内壁および第1のトレンチ状溝部12の上部間に挿まれている凸部の上面のみn型ヒ素拡散層が形成される。第2のトレンチ状溝15の下部のn型ヒ素拡散層はキャバシタ拡散層19となり、第1のトレンチ状溝12の上面の拡散層はドレイン拡散層20となる。

【0029】次いで、膜厚80Åのシリコン酸化膜を形成し、キャバシタ絶縁膜21とする。さらに、シリコン基板11全面にドープトボリシリコン膜を0.7～1.2μm形成し、エッチバック法により、第2のトレンチ状溝15の内深さ0.8μmまでエッティングし、プレート電極22とする。

【0030】その後、図4(b)に示すように、第2のトレンチ状溝内に0.2μmの第1層間絶縁膜23を選択形成する。そして、第1のシリコン窒化膜14をエッティングにより除去した後、0.5μm厚さのドープトボリシリコン膜を第1のトレンチ状溝12内に選択形成し、ゲ

ート電極24とする。この時、ゲート電極24は第1のトレンチ状溝12内に自己整合的に埋め込まれるため、フォトリソグラフィの必要はない。また、ゲート電極24に対応するアクティブ領域の側面がチャネル長となる。

【0031】さらに、図4(c)に示すように、第1のトレンチ状溝内に0.2μm厚さの第2層間絶縁膜25を選択形成し、第1のトレンチ状溝12間に挿まれた凸部の上面の第1のシリコン酸化膜13を選択除去した後に、0.5μm～0.8μm厚さのアルミ電極を形成し、配線電極26とする。なお、この場合、必要があれば、中間絶縁膜、配線電極を積層して多層配線としてもよい。

【0032】なお、この発明は上記図示の実施例に限定されるものではなく、要旨を逸脱しない範囲内において、種々の変形実施ができるものである。たとえば、キャバシタ絶縁膜21として、シリコン酸化膜単層だけでなく、シリコン窒化膜を含む2層または3層膜、もしくは酸化タンタルに代表される高誘電体膜を使用することもできる。

【0033】また、上記実施例では、第1のトレンチ状溝12の形成後の第1のシリコン酸化膜13をそのままゲート酸化膜として使用したが、例えば、キャバシタ部形成後のゲート電極形成前に一度第1のシリコン酸化膜を除去し、再度ゲート酸化膜を酸化して形成してもよい。

【0034】さらに、キャバシタ拡散層のドーパントとして、Asを用いたが、リン(P)を使用することも可能である。また、その拡散法として、斜めイオン注入法の他に、気相拡散法、固相拡散法なども使用できる。これら的方法は特に深いトレンチ状溝のときに効果的である。さらに、キャバシタ絶縁膜21として、シリコン酸化膜を使用する場合、拡散層の形成はキャバシタ絶縁膜の形成後でも可能である。

【0035】また、第1のトレンチ状溝12内へのゲート電極などの埋め込みはエッチバック法を用いているが、第1のトレンチ状溝内に自己整合的に埋め込むことができれば、エッチバック法にこだわるものではない。

【0036】

【発明の効果】以上詳細に説明したように、請求項1に記載の発明によれば、トレンチ状溝部に半導体領域を形成し、この半導体領域の側面にそれぞれ分離されたキャバシタとMOS型電界効果トランジスタとからなるメモリセルを設け、このMOS型電界効果トランジスタのゲート電極をトレンチ状溝部内に自己整合的に形成したので、チャネル領域形成におけるマスク合わせ余裕などを考慮する必要がなくなる。これにともない、素子の高集積化が促進されるとともに、チャネル長が第1のトレンチ溝形成時にほぼ決定されるため、従来例に比べてチャネル長の制御が容易になるという利点を有する。

【0037】また、請求項2に記載の発明によれば、ト

レンチ状溝内部から延在してMOS型電界効果トランジスタの要素となる凸部側面に半導体領域を形成し、この半導体領域と絶縁膜を介してトレンチ状溝内に形成した導電性電極により、キャパシタを構成するようにしたので、MOS型電界効果トランジスタと縦型メモリセルの構成が可能となり、マスク合わせ余裕を不要とし、したがって、素子の高集積化が可能となる。

【0038】さらに、請求項3の発明によれば、第1のトレンチ状溝部の下部に第2のトレンチ状溝部を形成し、この第2のトレンチ状溝部にキャパシタを形成し、第1のトレンチ状溝部にドレイン拡散層とゲート電極を共用にした縦型MOS型電界効果トランジスタを形成するとともに、ゲート電極およびコンタクトホールとなる部分が自己整合的に形成されるので、パターン形成が不要になる等工程の簡易化および短縮化が可能となる。

【図面の簡単な説明】

【図1】この発明の半導体記憶装置の一実施例の斜視図。

【図2】同上半導体記憶装置の断面図。

【図3】この発明の半導体記憶装置の製造方法の一実施例の第1段の工程断面図。

【図4】同上半導体記憶装置の製造方法の第2段の工程断面図。

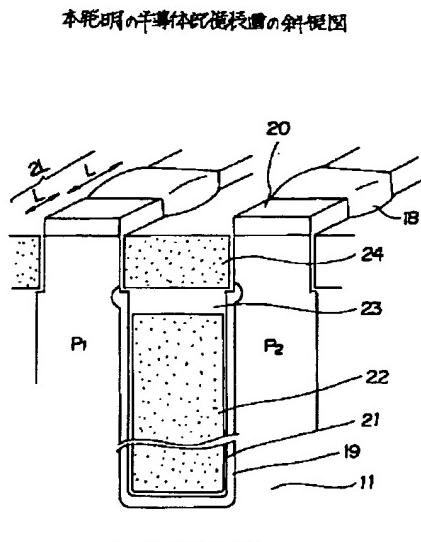
【図5】従来のトレンチ型メモリセルの平面図。

【図6】従来のトレンチ型メモリセルの断面図。

【符号の説明】

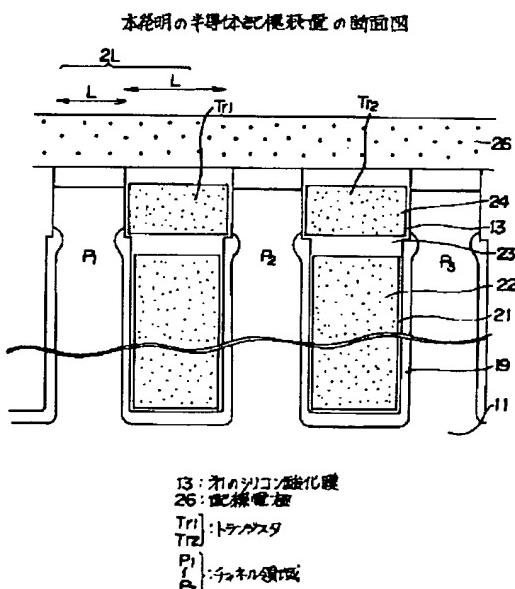
- | | |
|----|------------|
| 11 | シリコン基板 |
| 12 | 第1のトレンチ溝 |
| 13 | 第1のシリコン酸化膜 |
| 14 | 第1のシリコン窒化膜 |
| 15 | 第2のトレンチ溝 |
| 16 | 第2のシリコン酸化膜 |
| 17 | 第2のシリコン窒化膜 |
| 18 | 分離絶縁膜 |
| 19 | キャパシタ拡散層 |
| 20 | ドレイン拡散層 |
| 21 | キャパシタ絶縁膜 |
| 22 | プレート電極 |
| 23 | 第1層間絶縁膜 |
| 24 | ゲート電極 |
| 25 | 第2層間絶縁膜 |
| 26 | 配線電極 |

【図1】



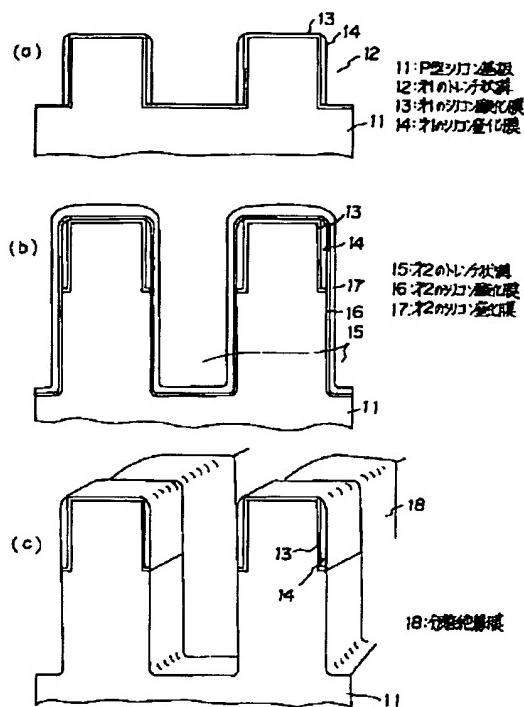
11: P型シリコン基板
18: 分離絶縁膜
19: キャパシタ拡散層
20: ドレイン拡散層
21: キャパシタ絶縁膜
22: プレート電極
23: 第1層間絶縁膜
24: ゲート電極
25: 第2層間絶縁膜

【図2】



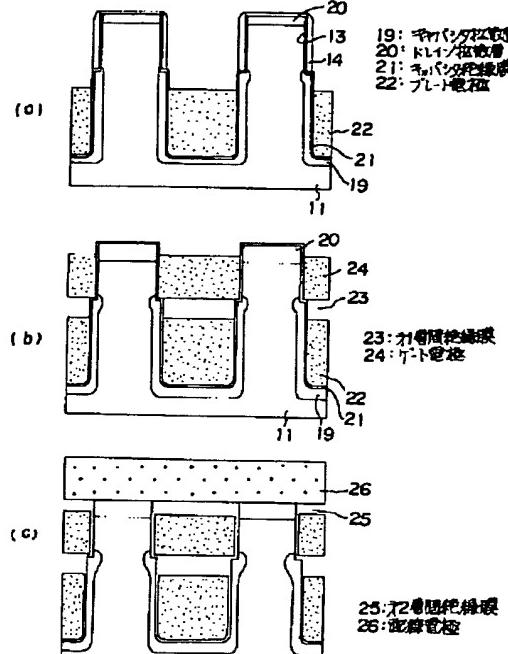
【図3】

本発明の製造方法の第1段の工程断面図



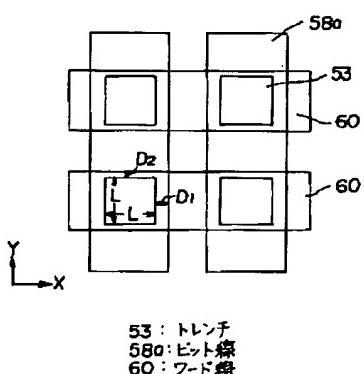
【図4】

本発明の製造方法の第2段の工程断面図



【図5】

従来のトレンチ型メモリセルの平面図



【図6】

従来のトレンチ型メモリセルの断面図

